

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-294182

(43)Date of publication of application : 30.11.1988

(51)Int.Cl.

H04N 5/335

H01L 27/14

(21)Application number : 62-128123

(71)Applicant : HITACHI LTD

(22)Date of filing : 27.05.1987

(72)Inventor : OZAKI TOSHIBUMI
NAKAI MASAOKI
ANDO HARUHISA
OBA SHINYA

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PURPOSE: To reduce fixed pattern noises and to attain a high S/N, by using a capacity feedback type amplifier circuit as an amplifier circuit for detecting and amplifying the potential of a vertical signal line and individually reading out output voltages when no signal charge exist and output voltages when signals exist at every line to obtain the difference between the two kinds of output voltages.

CONSTITUTION: When a capacity feedback type amplifier is used as an amplifier for detecting and amplifying the potential variation of a vertical signal line, the potential variation of the amplifier output caused by signal charges becomes the variation of feedback capacity only. Therefore, when the area of the feedback capacity is appropriately designed, fixed pattern noises caused by the variation in gain can be reduced to practically insignificant values. Moreover, by individually reading out output voltages when no signal exists and output voltages when signals exist at every line and taking the differences between the two kinds of output voltages by means of a common differential means, real signal components can be obtained regardless of the variation in DC output voltages when no signal exists in each line. Therefore, fixed pattern noises caused by the variation in the offset voltage of the amplifier of each line can be reduced.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報(A) 昭63-294182

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和63年(1988)11月30日

H 04 N 5/335
H 01 L 27/14

E-8420-5C
A-7525-5F

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 固体撮像装置

⑯ 特 願 昭62-128123

⑰ 出 願 昭62(1987)5月27日

⑱ 発 明 者 尾 崎 俊 文 東京都国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑲ 発 明 者 中 井 正 章 東京都国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑳ 発 明 者 安 藤 治 久 東京都国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
㉑ 発 明 者 大 場 信 弥 東京都国分寺市東窓ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉓ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

固体撮像装置

2. 特許請求の範囲

同一半導体基板上に、2次元状に配列された光電変換素子と、この光電変換素子を選択するための垂直走査回路ならびに水平走査回路と、上記垂直走査回路の選択信号により開閉し、一端が上記光電変換素子に接続される垂直スイッチと、該垂直スイッチの一端をつなぐ垂直信号線とによりなる固体撮像素子において、上記垂直信号線ごとに設けられた増幅器により、上記垂直信号線の電位変動を検知増幅した出力を上記水平走査回路により順次選択し読み出す際に、上記増幅回路は容量増幅増幅回路であり、上記垂直信号線に信号電荷のある場合の上記出力と信号電荷のない場合の上記出力を独立に読み出し、2つの出力の差を得る手段を設けることを特徴とする固体撮像装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、固体撮像装置に係り、特に高感度、低ノイズを実現するのに好適なMOS型固体撮像装置に関するものである。

(従来の技術)

従来、2次元固体撮像装置の代表的な一種としてMOS型固体撮像装置が知られている(M. Aoki et al: アイエスエスシー・ダイジェスト・オブ・テクニカル・ペーパーズ、p.26, Feb. 13, 1980)。上記従来技術は第6図に示すような回路構成によっている。第6図において、1は2次元状に配置されて光電変換を行う光電変換素子(フォトダイオード)、2は各行を選択する垂直走査回路、3は垂直走査回路2からの選択信号を各垂直スイッチに導く垂直ゲート線、4は垂直走査回路2からの選択信号により開閉する垂直スイッチ、5は各行の選択を行う水平走査回路、6は水平走査回路5からの選択信号により開閉する水平スイッチ、7は素子外部に設けられた増幅回路、8は垂直信号線、9は水平信号線である。上記回路はつぎの動作を行う。まず、水平

ブランキング期間中に、垂直走査回路2により選択された行の垂直ゲート線3の電圧が高くなり、垂直スイッチ4が開き、信号電荷がホトダイオード1から垂直信号線8に送られる。その後、水平走査期間においては、水平走査回路5が動作し水平スイッチ6が順次開閉し、信号電荷は順次水平信号線9を経て素子外部の増幅回路7により増幅され出力される。

【発明が解決しようとする問題点】

上記MOS型固体撮像素子は、水平スイッチ6が開閉する際に水平スイッチ6の熱雑音により発生するRTC雑音、ならびに、高速の水平走査に伴い必要となる外部広帯域増幅器7の雑音の2点についての配慮がされていない。その結果、雑音が大きく、信号対雑音比（以下S/N比という）が低いという問題があった。さらに、一水平走査期間中に光の漏れ込み等により垂直信号線8内に発生する余剰電荷によるスミア現象に対しての考慮がなされておらず、高照度画像時、即ち、明る

引いたような輝線が発生し、画質を著しく劣化するという問題があった。

これに対して、垂直信号線8ごとに垂直信号線8の電位を検知し、増幅する増幅回路と、垂直信号線をリセットするリセットスイッチを備え、リセット後の空の垂直信号線8の電位と、信号がある場合の垂直信号線8の電位との差を検知し其の信号成分だけを出力する手段（以下相関2重サンプリング回路という）を設けることにより、低雑音化と低スミア化を両った固体撮像素子を、本発明等は提案している（特開昭61-25862号）。第7図及び第8図はこの種の固体撮像素子の一例の動作を説明する図である。以下これを図に就て説明する。

第7図は、固体撮像素子の実施例の回路構成図を示す。図中1〜6、8及び9は第6図のものと同一のものである。71は各垂直信号線の電位を検知増幅するための前置増幅回路、72は前置増幅回路71を高利得領域に設定するための自己バイアススイッチ、73はカップリング容量、74

- 3 -

を第2の増幅回路、75は増幅回路74を高利得領域に設定するための自己バイアススイッチ、76は信号をサンプルホールドするためのスイッチ、77は信号を出力するための増幅回路である。第8図は第7図の素子を駆動するためのパルスタイミングを示す。HBLは水平ブランキング期間を示し、S1、S2、S3は第7図の対応する端子にかかる電圧を示す。以下、本実施例の動作を説明する。

水平ブランキング期間に入ると、スイッチ72及び75が開き垂直信号線8がリセットされるとともに増幅回路71及び74の動作点が高利得領域に設定される（第8図の t_1 ）。この後、スイッチ72が閉じると、前置増幅器71が活性化される。このとき、スイッチ72の熱雑音により、垂直信号線8にはkTC雑音が発生する。しかしながら、スイッチ75が開いているために、増幅回路74の出力電圧は、垂直信号線8の電圧によらずにある一定の電圧のままとなる（第8図の t_2 ）。つぎに、スイッチ75が閉じる増幅回路

- 4 -

74が活性化される。その後、垂直走査回路2により選択されたある垂直ゲート線3の電位 V_p が高くなると、垂直スイッチ4が開き、光電変換素子1より垂直信号線8に信号電荷が読み出される（第8図の t_3 ）。この電荷による垂直信号線8の電位変動は前置増幅回路71により増幅された後、カップリング容量73を介し、増幅回路74の入力端に送られ、増幅回路74により更に増幅される。この時の増幅回路74の出力電圧をサンプルホールドすることにより、kTC雑音の混入しない。信号電荷による垂直信号線8の電位変動を増幅し、サンプルホールドすることができる（第8図の t_4 ）。この後、水平走査回路5が動作し、水平スイッチ6が順次開閉することにより、増幅77を介し、信号が順次水平信号線9に出力される。

本実施例によれば、垂直信号線8ごとに相関2重サンプリング回路を設けることにより、従来のMOS型固体撮像素子の一つの主雑音源であるkTC雑音の混入しない信号出力を得ることができ、また、増幅回路を垂直信号線8ごとに設け

ることにより、増幅回路の動作に必要な帯域を従来素子の増幅回路に必要とされた帯域より低くでき、従来素子のもう一つの主増音源である増幅器の雑音を大幅に低減できる。この結果、高S/N化を図ることができる。さらに、信号に混入する余剰電荷の発生時間は自己バイアススイッチ75が閉じてから、サンプルホールドスイッチ76が閉じるまでの時間となり、従来の一水平走査期間に対し、大幅に低減でき、低スミア化が可能となる。

ところで上記固体撮像装置においては、半導体製造上の素子特性のばらつきにより、増幅回路71、74、77の電圧利得が各列でばらつくため、信号電荷の電圧利得が均一にならない点、直流結合された増幅回路74及び77の信号電荷のない時の直流電圧が均一にならず、信号電荷のない時の各列の直流出力電圧が均一にならない（以下、オフセット電圧のばらつきと言う）という点について考慮がなされていない。この結果、再生画面上には、縦縞状の固定パターン雑音が発生し、

高S/Nを得ることが困難になる。

本発明の目的は、上記固定パターン雑音を低減し、高S/Nの固体撮像素子を実現することにある。

〔問題点を解決するための手段〕

上記目的は、垂直信号線の電位を検知増幅する増幅回路を容量帰還型増幅回路とし、各行ごとに信号電荷のない時の出力電圧と信号のある時の出力電圧を独立して読み出し、この2つの電圧の差を共通の差動手段により得ることにより、達成される。

〔作用〕

垂直信号線の電位変動を検知増幅する増幅器を容量帰還型増幅器とした時の信号電荷 Q_s による増幅器出力の電位変動 V_s は、次式(1)で表わすことができる。

$$V_s = - \frac{1}{C_F \frac{1+G}{G} + C_v \frac{1}{G}} Q_s \dots (1)$$

- 7 -

- 8 -

ここに、 C_v は垂直信号線容量、 C_F は帰還容量、 G は増幅器のオープンループ利得である。垂直信号線容量のばらつき ΔC_v 、帰還容量 C_F のばらつき ΔC_F 、利得 G のばらつき ΔG による電位変動 V_s のばらつき ΔV_s は、次式(2)で表わせる。

$$\begin{aligned} \frac{\Delta V_s}{V_s} = & \frac{1}{1 + \frac{C_F}{C_F + C_v} G} \frac{\Delta G}{G} \\ & + \frac{1}{1 + \frac{C_F}{C_v} (1+G)} \frac{\Delta C_v}{C_v} \\ & + \frac{1}{1 + \frac{C_v}{C_F} \frac{1}{1+G}} \frac{\Delta C_F}{C_F} \dots (2) \end{aligned}$$

今、利得 G を充分に大きく設計したとすると式(2)は、式(3)となる。

$$\frac{\Delta V_s}{V_s} = \frac{\Delta C_F}{C_F} \quad (3)$$

すなわち、信号電荷 Q_s による出力電位変動 V_s のばらつきは、帰還容量 C_F のばらつきだけになる。今までのデータによれば、集積回路の工程の内で最もばらつきの少ない素子は容量であること、容量の比精度は、容量の面積を大きくすることにより、良くなることが知られている。従って、帰還容量の面積を適切に設計すれば、利得ばらつきによる固定パターン雑音を実用上問題にならない値にすることができる。また、各行ごとに信号のない時の出力電圧と信号のある時の出力電圧を独立に読み出し、素子内部あるいは素子外部に設けられた共通の差動手段によりこの2つの電圧の差を取るにより、各行の信号がない場合の直流出力電圧のばらつきにかかわらず真の信号成分を得ることができる。これにより、各行の増幅器のオフセット電圧のばらつきによる固定パターン雑音を抑圧することができる。

〔実施例〕

以下、本発明の一実施例を第1図及び第2図を用いて説明する。第1図は本発明による固体撮像装置の一実施例を示す回路構成図であり、簡単のため 3×4 のアレイで示す。図中1～6, 8及び9は第6図のものと同様である。71, 72及び73は第7図のものと同じである。11は掃還客席、18はクランプスイッチ、12はユニティゲインバッファアンプ、13～17はオフセットをキャンセルしたユニティゲインバッファ(Y. A. HIAOUE et al: アイ・イー・イー・イー・ジャーナル・オブ・ソリッドステイト・サーキット Vol. SC-14, p. 961-969, Dec. 1979 (IEEE J. Solid-State Circuits, Vol. SC-14 p. 961-969, Dec. 1979))を構成しており、13はメモリ容量、14はメモリ容量13への信号書き込み用サンプルホールドスイッチ、15は信号読み出しスイッチ、16はオフセットキャンセルのためのスイッチ、17は出力バッファアンプ

である。端子OUT1, OUT2は出力端子で端子V_vにはユニティゲインバッファアンプの動作に必要なバイアス電圧がかかる。また第2図は第1図の素子を駆動するためのパルスタイミングを示している。S1～S5は第1図の各端子にかかる電圧である。なお、本実施例は、各スイッチがNチャネルの場合であり、Pチャネルの場合はクロック信号の極性を反転したものとする。以下、本実施例の動作を説明する。

水平ブランキング期間に入ると、まず、信号電荷がない時の各行の直流出力電圧をユニティゲインバッファのメモリ容量13-1に読み出す。S1, S2, S3, S5の電位が高くなり、スイッチ72, 18, 14-1, 16が開く。このとき、垂直信号線8はリセットされるとともに、前置増幅器71は高利得領域にバイアスされる。また、ユニティゲインバッファアンプ12の入力端子はバイアス電圧V_vにリセットされる。更に、出力バッファアンプ17の入力端子電圧は、出力バッファアンプ17のオフセット電圧になる(第

- 11 -

2図のt₂)。つぎにスイッチ72が閉じ、前置増幅器71が活性化される。この時、kTC雑音により垂直信号線はV_vだけゆらぐが、スイッチ18が開いているためにバッファアンプ12以降にはこの雑音は伝わらない(第2図のt₃)。この後スイッチ18が閉じユニティゲインバッファアンプ12が活性化され、この時刻以降の垂直信号線8の電位変動が前置増幅器71とカップリング容量73、ユニティゲインバッファ12を介して、メモリ容量13-1に伝達される(第2図のt₄)。その後、T_{st}だけ時間が経過した後、スイッチ14-1が閉じ、信号電荷のない時のバッファアンプ12の直流出力電圧がメモリ容量13-1の片側の電極に保持されることになる(第2図のt₅)。同様にして、信号電荷のある時の直流出力電圧をユニティゲインバッファのメモリ容量13-2に読み出す。すなわち、スイッチ72, 18, 14-2が開いて垂直信号線8およびバッファアンプ12の入力端がリセットされる。その後、スイッチ72, 18が順に閉じた

- 12 -

後、垂直走査回路2により選択されたある垂直ゲート線3の電位が高くなり、垂直スイッチ4が開き、ホトダイオードより垂直信号線8に信号電荷が送られる。スイッチ18が閉じてから時間T_{ss}を経過したのちスイッチ14-2が閉じ、信号電荷のある時のユニティゲインバッファアンプ12の直流出力電圧が、メモリ容量13-2の片側の電極に保持されることになる。この後に、スイッチ16が閉じ、メモリ容量13-1並びに13-2のもう片側の電極には出力バッファアンプ17のオフセット電圧が保持されることになる。

水平走査期間に入ると、各メモリ容量に保持されたユニティゲインバッファアンプ12の信号のある時と信号のない時の直流出力が順に読み出される。すなわち、水平走査回路により、ある列が(n列とする)選択されると、n列の水平スイッチ6-2と読み出しスイッチ15-2が開き、端子OUT2にはn列のメモリ容量13-2に保持されたn列の信号のある時のバッファアンプ12の直流出力電圧が読まれる。また、同時に、

$n+1$ 列の水平スイッチ6-1と読み出しスイッチ15-1も開き、端子OUT1には $n+1$ 列のメモリ容量13-1に保持された $n+1$ 列の信号電荷のない時のバッファアンプ12の直流出力電圧が表わされる。そこで、端子OUT1の出力電圧を17クロック分遅延させ、端子OUT2の出力電圧との差をとると、ユニティゲインバッファアンプ12のオフセット電圧のばらつきにかかわらず、真の信号を得ることができる。

本実施例においては、信号電荷 Q_s の電圧利得は帰還容量11と前置増幅器71よりなる初段帰還増幅器の利得、ユニティゲインバッファアンプ12の利得、14~17よりなる出力バッファの利得と、カップリング容量73とユニティゲインバッファアンプ12の入力容量との比によって決まる容量結合比の4つより決まる。本実施例ではこの4つの要因のうち、後段以降の雑音の影響を少なくするために電圧利得が1より充分大きいことが必要な初段帰還増幅器以外の電圧利得は1に近づけようとし、素子定数のばらつきに

よらず均一な電圧利得を得ている。すなわち、ユニティゲインバッファアンプ12の入力容量に比し、カップリング容量73の容量は充分に大きい。また、ユニティゲインバッファアンプ12には、ソースフォロワー回路(V.P.T. S I V I D I S; アイ・イー・イー・イー・ジャーナル・オブ・ソリッドステイト・サーキット Vol. SC-13, p. 383-391, June 1978 (IEEE J. Solid-State Circuits, Vol. SC-13, p. 383-391, June 1978.))を用いる。さらに、ユニティゲインバッファの利得は出力バッファアンプ17の利得を充分に大きくすることにより、1に近づける。以上の結果、利得ばらつきの原因は初段増幅器の利得ばらつきが主となる。本実施例では、この増幅器を容量帰還型とし、各列の利得ばらつきを低減し、利得ばらつきによる固定パターン雑音を実用上問題のない値にまで低減している。

また、本実施例における各行のオフセット電圧のばらつきは、ユニティゲインバッファアンプ

- 15 -

12のオフセット電圧のばらつきが主な原因となる。なぜなら、前置増幅器71ならびに出力バッファアンプ17のオフセット電圧は、それぞれ容量73ならびに容量13に記憶されキャンセルされるからである。本実施例では、このユニティゲインバッファアンプ12のオフセット電圧を信号出力電圧とは独立に読み出し、その差を取ることでよりオフセット電圧のばらつきによる固定パターン雑音を実用上問題のない値まで低減している。

さらに、本実施例においては、オフセット電圧のばらつきのキャンセルと同時に、スミア抑圧の有効な手段であるスミア差動方式(小沢他: 1984年テレビジョン学会全国大会予稿集 3-15, p. 67)を実現している。すなわち、スイッチ18が切れてから、スイッチ14-1あるいは14-2が切れるまでの間(第2図の T_{s1} , T_{s2})に発生するスミア電荷による垂直信号線電位変動は、それぞれ容量13-1又は13-2に保持され、最終的には差動がなされる。その結果、

- 16 -

信号読み出し時とオフセット電圧読み出し時のスミアの侵入時間 T_{s1} と T_{s2} を等しくすれば、差動後の信号には、全くスミア電荷による垂直信号線の電位変動は侵入せず、スミア現象の抑圧が可能となる。

なお、本実施例では、スイッチは n チャネルの場合を述べたが、動作速度の遅延等のため広い電圧範囲に渡ってオン抵抗が等しい必要がある場合にはスイッチ14, 15, 16をCMOS化してもよい。

また、端子OUT1の出力電圧を1クロック遅延し端子OUT2との差を取る手段は、素子内部に設けても素子外部に設けてもよい。

さらに、ユニティゲインバッファアンプ12に用いるソースフォロワー回路は、そのドライバMOSトランジスタを基板とは逆の極性を持つウェル内に形成し、そのウェルとソースフォロワー出力電圧とを同電位することにより、ドラフトバMOSトランジスタの基板効果を解消し、その利得を更に1に近づけることもできる。

つぎに、本発明の第2の実施例を第3図と第4図を用いて説明する。第1の実施例で説明した自己バイアススイッチ72を用いた前置増幅器71のバイアス点設定法は、高い利得をもつ前置増幅器を高利得領域で動作させるには必要不可欠なものである。しかしながら、MOS固体撮像装置の垂直信号線8の電位を検知増幅するために用いる際には、素子のダイナミックレンジを大きく取れない一つの要因となる。第4図を用い、この理由を説明する。以下説明を簡単にするために、ホトダイオードに発生する信号電荷は負電荷である場合を考えるが、正電荷の場合には極性を逆にして考えれば全く同一である。第4図は、自己バイアス法による前置増幅器71の動作点の設定点を示す図である。縦軸に増幅器71の入力電圧 V_{in} 、すなわち垂直信号線8の電圧、縦軸に出力電圧 V_{out} をとり、増幅器71の伝達特性を曲線A、Bで、スイッチ72が開いた時の動作点電圧の軌跡を直線Cで示す。曲線A、B、は増幅器71のしきい電圧の異なる2つの場合を示す。垂直信号

線8のバイアス電圧 V_{in} は、曲線A又はBとが直線Cの交点で与えられる。ホトダイオード1の充電電圧は、垂直信号線8の電圧より低いかもしれない等しいために、ホトダイオード1の飽和電荷量を大きくするには垂直信号線8の電圧 V_{in} を高く設定する必要がある。すなわち、増幅器71の伝達特性は曲線Bであればよい。一方、信号電荷により垂直信号線8の電圧 V_{in} は低くなる。この結果、増幅器71が広い入力レンジに渡って高利得領域で動作するためには、増幅器71の伝達特性は曲線Aであればよい。すなわち、自己バイアス法ではホトダイオードの充電電圧を高く取ることと、増幅器71の動作領域を広く取るという素子の高いダイナミックレンジ化に必要な2つの要因を両立する伝達特性をもつ増幅器を実現することができない。本実施例は、自己バイアススイッチ32のゲート端子S1と垂直信号線8との間に結合容量を入れることにより、素子の高ダイナミックレンジ化を図るものである。

第3図は、本発明の他の実施例を示す回路構成

- 19 -

- 20 -

図である。図中、31はバイアス点設定容量、32はpチャネル自己バイアススイッチ、33はpチャネルMOSトランジスタをドライバに有する前置増幅器である。他の部分は、第1図と同じである。また、素子を駆動するタイミングも、第2図と同様であるが、端子S1にかかる電圧の極性が第2図と逆になる。動作も第1図と同じである。本実施例においては前置増幅器33のドライバをpチャネルMOSトランジスタとしているので、増幅器の伝達特性は第4図の曲線Bの特性を持ち、自己バイアススイッチ32が開いた時の垂直信号線8のバイアス電圧 V_{in} は図中a点となり高く設定される。つぎに、端子S1にかかる電圧が低電圧から高電圧になり、pチャネル自己バイアススイッチ32が閉じる際、自己バイアススイッチ32のゲートソース間電圧がpチャネル自己バイアススイッチのしきい電圧以上となりスイッチが切れると、バイアス点設定容量と垂直信号線間の容量結合により垂直信号線容量の電圧が上昇し、増幅器33の動作点は第4図のb点に向って移動す

る。この結果、増幅器33は、広い動作領域を持つことになる。すなわち、本実施例によれば、高い垂直信号線8のバイアス電圧と、広い増幅器の動作領域とを合わせて持つ高ダイナミックレンジの撮像装置を実現できる。

また、本実施例では、ドライバMOSトランジスタにpチャネルMOSトランジスタを用いているので、前置増幅器33の1/f雑音を低減できるという利点も持っている。

さらに、本発明の第3実施例を第5図を用いて説明する。第1実施例においては、オフセット電圧と信号電圧を同一の出力バッファアンプ17を介して読み出したため、同一列のオフセット電圧と信号電圧が同一時刻に出力端OUT1とOUT2に現われず、クロック分の遅延があり、信号処理が複雑になる。本実施例では、出力バッファアンプ17を2つ設けることにより、同一列のオフセット電圧と信号電圧を同一時刻に出力端OUT1とOUT2に読み出せるようにし、信号処理を簡単にした。

第5図は、本発明の第3実施例を示す回路構成図である。本実施例において、55-1, 55-2が読み出しスイッチ、56-1, 56-2が水平スイッチ、57-1, 57-2が出力バッファアンプ、58-1, 58-2がスイッチである。他は第1図と同じであり、パルスタイミングも第2図と同じである。本実施例では、出力バッファアンプ57-2を2個にし、水平走査回路から出力される同一時刻のパルスを一列の読み出しスイッチ55-1, 55-2ならびに水平スイッチ56-1, 56-2に印加することにより、同一列のオフセット電圧と信号電圧を同一時刻に出力第OUT1とOUT2に読み出し、信号処理を簡素化している。

以上の実施例においては、垂直方向の一面素の信号を読み出す場合を述べた。一方、単板カラー固体撮像素子においては、解像度の高い高画質を実現する方法としてインターレース走査を行なう垂直2画素読み出し方式がある。本発明において、この方式を実現するには、第2の信号を保持する

第3のメモリ容量を設け、同様な動作を行なえばよいことは言うまでもない。

また、以上の実施例では、水平信号線を2本としたが、高速の水平走査が必要な場合には、水平信号線を4本とし、水平信号線を読み出される信号出力の周期を1/2にすることもできる。

更に、水方向の集積度を向上するために、各列ごとの回路を上下に設けても良い。

〔発明の効果〕

本発明によれば、電圧利得ばらつきとオフセット電圧のばらつきを抑制することができるので、固定パターン雑音の少ない高S/Nの固体撮像装置を実現することができるという効果がある。

4. 図面の簡単な説明

第1図は本発明による固体撮像装置の実施例を示す回路構成図、第2図は第1図の素子の駆動パルスタイミングを示す図、第3図は本発明による固体撮像装置の他の実施例を示す回路構成図、第4図は増幅器の自己バイアス法を説明するための図、第5図は本発明による固体撮像装置のさらに

- 23 -

- 24 -

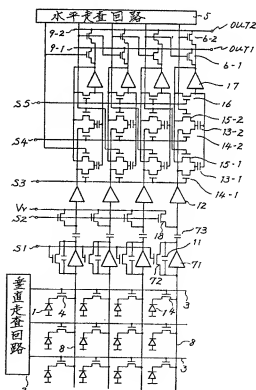
別の実施例を示す回路構成図、第6図、第7図及び第8図は従来のMOS型固体撮像装置の回路構成図である。

1…光電変換素子、2…垂直走査回路、3…垂直ゲート線、4…垂直スイッチ、5…水平走査回路、6, 56…水平スイッチ、8…垂直信号線、9…水平信号線、11…帰還容量、12…ユニティゲインバッファ、13, 78…メモリ容量、14, 76…サンプルホールドスイッチ、15, 55…読み出しスイッチ、16, 58…スイッチ、17…出力バッファアンプ、18…クランプスイッチ、31…バイアス点設定容量、32, 72, 75…自己バイアススイッチ、33, 71…前置増幅器、73…カップリング容量、74, 77…増幅器。

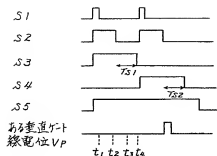
代理人 弁理士 小川勝男



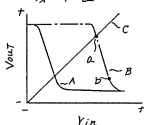
第1図



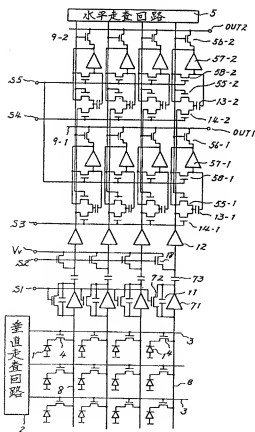
第 2 図



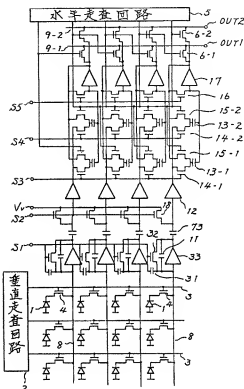
第 4 図



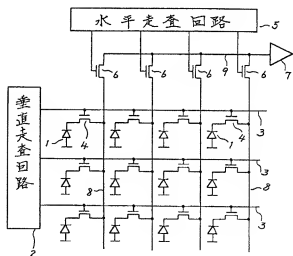
第 5 図



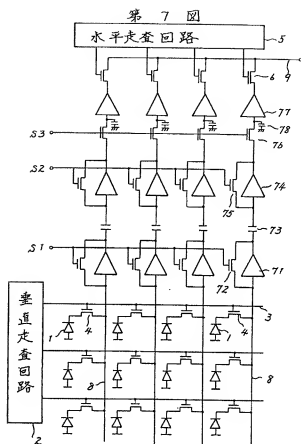
第 3 図



第 6 図



- 1 光電変換素子 4 垂直スイッチ 7 外部増幅器
2 垂直信号線 5 垂直ゲート線 8 垂直信号線
3 垂直ゲート線 6 水平スイッチ 9 水平信号線



71 前置増幅回路 74 増幅回路 77 出力増幅回路
 72 自己バイパス管 75 自己バイパス管 78 メモリ容量
 73 カップリング容量 76 サンプルホールド管

第 8 図

